

SEMICONDUCTOR DEVICE

Publication number: JP2002231947

Publication date: 2002-08-16

Inventor: ASANO KATSUNORI; SUGAWARA YOSHITAKA; TAKAYAMA DAISUKE

Applicant: KANSAI ELECTRIC POWER CO

Classification:

- international: H01L29/78; H01L29/66; (IPC1-7): H01L29/78; H01L21/336

- european: H01L29/78C; H01L29/78E2

Application number: JP20010029573 20010206

Priority number(s): JP20010029573 20010206

Also published as:

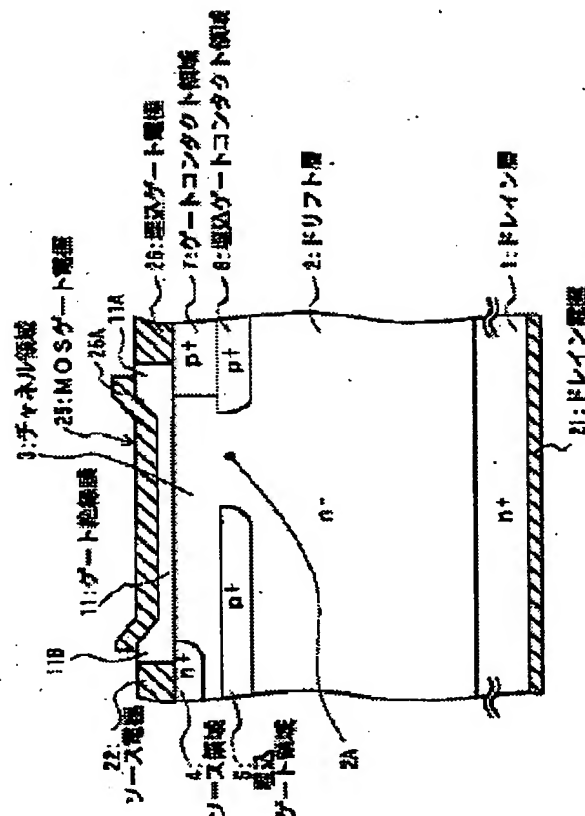


WO02063696 (A)

Report a data error here

Abstract of JP2002231947

PROBLEM TO BE SOLVED: To prevent a high electric field from being applied to the gate insulating film between a buried gate contact region and a MOS gate electrode, in a field-effect transistor which has a buried contact region. **SOLUTION:** The gate insulating film is made thicker in the vicinity of the buried gate contact region, and the MOS gate electrode and the buried contact region are separated from each other.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-231947

(P2002-231947A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int. Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 29/78	6 5 3	H 0 1 L 29/78	6 5 3 C
	6 5 2		6 5 2 K
			6 5 2 T
	6 5 5		6 5 5 A
21/336			6 5 8 A
審査請求 有	請求項の数 17	O L	(全 12 頁)

(21)出願番号 特願2001-29573(P2001-29573)

(22)出願日 平成13年2月6日(2001.2.6)

(71)出願人 000156938

関西電力株式会社

大阪府大阪市北区中之島3丁目3番22号

(72)発明者 浅野 勝則

大阪市北区中之島3丁目3番22号 関西電力株式会社内

(72)発明者 菅原 良孝

大阪市北区中之島3丁目3番22号 関西電力株式会社内

(72)発明者 ▲高▼山 大輔

大阪市北区中之島3丁目3番22号 関西電力株式会社内

(74)代理人 100062926

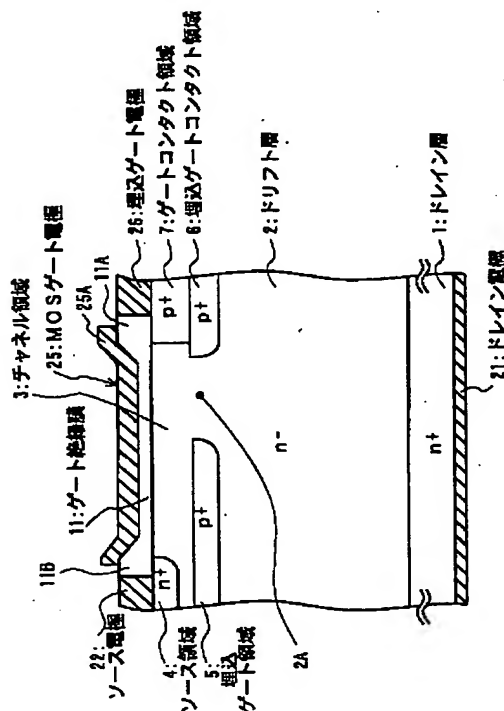
弁理士 東島 隆治

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 埋込ゲートコンタクト領域を有する電界効果トランジスタにおいて、埋込ゲートコンタクト領域とMOSゲート電極との間のゲート絶縁膜に高電界が印加されるのを防止する。

【解決手段】 ゲート絶縁膜の膜厚を埋込ゲートコンタクト領域近傍において厚くし、MOSゲート電極と埋込ゲートコンタクト領域の間を離す。



【特許請求の範囲】

【請求項 1】 外部への電子流の流出層として働く半導体層に形成した低不純物濃度の第 1 の導電型のドリフト層、

前記ドリフト層の一方の端部領域に形成した第 2 の導電型の第 1 の埋込ゲート領域、

前記ドリフト層の他方の端部領域に、前記第 1 の埋込ゲート領域との間に所定の間隔を保って形成した第 2 の導電型の第 2 の埋込ゲート領域、

前記第 1 の埋込ゲート領域、前記第 2 の埋込ゲート領域及び前記第 1 の埋込ゲート領域と第 2 の埋込ゲート領域との間のドリフト層に接するように形成した第 1 の導電型のチャンネル領域、

前記チャンネル領域の一方の端部に形成した第 1 の導電型の、外部からの電子流の流入領域、

前記電子流の流入領域に接するように設けた電極、

前記第 2 の埋込ゲート領域に接するように設けた埋込ゲート電極、

前記電子流の流入領域、チャンネル領域及び第 2 の埋込ゲート領域に形成したゲート絶縁膜、及び前記ゲート絶縁膜を介して前記チャンネル領域に対向し、前記第 2 のゲート領域に近い方の端部が前記第 2 のゲート領域から離れるように設けたゲート電極を有する半導体装置。

【請求項 2】 前記ゲート絶縁膜は、前記電子の流入領域及び第 2 の埋込ゲート領域の少なくとも一方の近傍の厚さが他の部分より厚くなされていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ゲート絶縁膜が、前記第 2 の埋込ゲート領域の上では他の部分より厚くなされていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 の埋込ゲート領域と前記第 2 の埋込ゲート領域との間に第 2 の導電型の領域を形成したことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 外部への電子流の流出層として働く半導体層に形成した低不純物濃度の第 1 の導電型のドリフト層、

前記ドリフト層の一方の端部領域に形成した第 2 の導電型の埋込ゲート領域、

前記ドリフト層の他方の端部領域に、前記埋込ゲート領域との間に所定の間隔を保って形成した第 2 の導電型の埋込ゲートコンタクト領域、

前記埋込ゲート領域、前記埋込ゲートコンタクト領域及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように形成した第 1 の導電型のチャンネル領域、

前記チャンネル領域の一方の端部に形成した第 1 の導電型の、外部からの電子流の流入領域、

前記電子流の流入領域に接するように設けた電極、

前記チャンネル領域の他方の端部において、前記埋込ゲートコンタクト領域に接するように形成した第 2 の導電型

のゲートコンタクト領域、

前記ゲートコンタクト領域に接するように設けた埋込ゲート電極、

前記電子流の流入領域、チャンネル領域及びゲートコンタクト領域に形成したゲート絶縁膜、及び前記ゲート絶縁膜を介して前記チャンネル領域に対向し、前記ゲートコンタクト領域に近い方の端部がゲートコンタクト領域から離れるように設けたゲート電極を有する半導体装置。

【請求項 6】 電子の流入領域がソース領域であり、電子の流出層がドレイン層である請求項 1 又は 5 記載の半導体装置。

【請求項 7】 電子の流入領域がエミッタ領域であり、電子の流出層がコレクタ層である請求項 1 又は 5 記載の半導体装置。

【請求項 8】 ドレイン層として働く第 1 の導電型の半導体層に形成した低不純物濃度の第 1 の導電型のドリフト層、

前記ドリフト層の一方の端部領域に形成した第 2 の導電型の埋込ゲート領域、

前記ドリフト層の他方の端部領域に、前記埋込ゲート領域と所定の間隔を保って形成した第 2 の導電型の埋込ゲートコンタクト領域、

前記埋込ゲート領域、前記埋込ゲートコンタクト領域及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように形成した第 1 の導電型のチャンネル領域、

前記チャンネル領域の一方の端部に形成した第 1 の導電型のソース領域、

前記ソース領域に接するように設けたソース電極、

30 前記チャンネル領域の他方の端部において、前記埋込ゲートコンタクト領域に接するように形成した第 2 の導電型のゲートコンタクト領域、

前記ゲートコンタクト領域に接するように設けた埋込ゲート電極、

前記ソース領域、チャンネル領域及びゲートコンタクト領域に形成したゲート絶縁膜、及び前記ゲート絶縁膜を介して前記チャンネル領域に対向し、ゲートコンタクト領域に近い方の端部がゲートコンタクト領域から離れるように設けたゲート電極を有する半導体装置。

【請求項 9】 前記ゲート絶縁膜は、前記電子の流入領域及びゲートコンタクト領域の少なくとも一方の近傍の厚さが他の部分より厚くなされていることを特徴とする請求項 5 記載の半導体装置。

【請求項 10】 前記ゲート絶縁膜は、前記ソース領域及びゲートコンタクト領域の少なくとも一方の近傍の厚さが他の部分より厚くなされていることを特徴とする請求項 8 記載の半導体装置。

【請求項 11】 ドレイン層として働く第 1 の導電型の半導体層の上に形成した低不純物濃度の第 1 の導電型のドリフト層、

前記ドリフト層の一方の端部領域に形成した第2の導電型の埋込ゲート領域、
 前記ドリフト層の他方の端部領域に、前記埋込ゲート領域と所定の間隔を保って形成した第2の導電型の埋込ゲートコンタクト領域、
 前記埋込ゲート領域、前記埋込ゲートコンタクト領域及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように設けた第1の導電型のチャンネル領域、
 前記チャンネル領域の一方の端部に形成した第1の導電型のソース領域、
 前記ソース領域に接するように設けたソース電極、
 前記ソース領域、チャンネル領域及び埋込ゲートコンタクト領域の上に形成されたゲート絶縁膜、
 前記埋込ゲートコンタクト領域に接するように設けた埋込ゲート電極、及び前記ゲート絶縁膜を介して前記チャンネル領域に対向し、両端部がそれぞれソース領域とゲートコンタクト領域から離れるように設けたゲート電極を有する半導体装置。

【請求項12】 前記ゲート絶縁膜が、前記埋込ゲートコンタクト領域の上では他の部分より厚くなされていることを特徴とする請求項5、8、又は9記載の半導体装置。

【請求項13】 前記ゲート電極が、前記埋込ゲートコンタクト領域及び前記埋込ゲート電極に接していることを特徴とする請求項11記載の半導体装置。

【請求項14】 前記埋込ゲートコンタクト領域は、前記チャンネル領域の端部及び前記ドリフト層に接するように形成したことを特徴とする請求項11記載の半導体装置。

【請求項15】 コレクタ層として働く第2の導電型の半導体層に形成した低不純物濃度の第1の導電型のドリフト層、

前記ドリフト層の一方の端部領域に形成した第2の導電型の埋込ゲート領域、

前記ドリフト層の他方の端部領域に、前記埋込ゲート領域と所定の間隔を保って形成した第2の導電型の埋込ゲート領域、

前記埋込ゲート領域、前記埋込ゲートコンタクト領域の一部、及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように形成した第1の導電型のチャンネル領域、

前記チャンネル領域の一方の端部に形成した第1の導電型のエミッタ領域、

前記エミッタ領域に接するように設けたエミッタ電極、
 前記エミッタ領域、チャンネル領域及び埋込ゲートコンタクト領域の上に形成されたゲート絶縁膜、

前記埋込ゲートコンタクト領域に接するように設けた埋込ゲート電極、及び前記ゲート絶縁膜を介して前記チャンネル領域に対向するように設けたゲート電極を有する半

導体装置。

【請求項16】 前記ゲート絶縁膜が前記埋込ゲートコンタクト領域の上では他の部分より厚くなされていることを特徴とする請求項15記載の半導体装置。

【請求項17】 前記埋込ゲート領域と前記埋込ゲートコンタクト領域との間に第2の導電型の領域を形成したことを特徴とする請求項5、8、11又は15記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は大電流を制御するパワー半導体装置に係り、特に高耐電圧のパワー半導体装置に関する。

【0002】

【従来の技術】高速スイッチング特性に優れ、高い入力インピーダンスをもち、かつ入力損失が小さい電力用縦型半導体装置として、例えば電界効果トランジスタが知られている。最近では、優れた高耐電圧特性を有する炭化珪素(SiC)の単結晶材料を使用する電界効果トランジスタが試作されている。その一例として、ISPSD'2000予稿集の105ページから108ページに、SiCを用いたSIAFET(Static induction Injected Accumulated FET)が記載されている。図8にこのSIAFETの1個のセグメントの断面図を示す。セグメントは紙面に垂直な方向に長い帯状であり、通常このセグメントが左右に複数個連結されている。図8において、n型の炭化珪素の半導体基板(SiC基板)101上にエピタキシャル法でn型のドリフト層102を形成する。ドリフト層102の図において左側の約2分の1の領域にアルミニウムやホウ素等のイオンを注入することによりp型の埋込ゲート領域105を形成し、右側の一部分にp型の埋込ゲートコンタクト領域106を形成している。埋込ゲート領域105、埋込ゲートコンタクト領域106及び両者の間のドリフト層102の上にn型のチャンネル領域103をエピタキシャル法で形成する。このSIAFETがオンのとき電流はチャンネル領域103を流れる。

【0003】チャンネル領域103の左端部領域に窒素などのイオンを注入することによりn型ソース領域104を形成する。p型の埋込ゲート領域105は図示を省略した接続体によりp型埋込ゲートコンタクト領域106に接続されている。埋込ゲートコンタクト領域106に接してp型のゲートコンタクト領域107が形成され、ゲートコンタクト領域107に埋込ゲート電極109を設けている。ソース領域104、チャンネル領域103、ゲートコンタクト領域107の上に絶縁物の薄い膜でゲート絶縁膜110を形成し、その上にMOSゲート電極108を設けている。ソース電極112を基準(0電圧)にし、MOSゲート電極108に正の電圧を印加すると、チャンネル領域103内のゲート絶縁膜110近傍に電子が蓄積され、電流通路が形成される。これにより

電子はソース領域 104 からチャネル領域 103 を通り、ドリフト領域 102 を経てドレイン層 101 に流れる。SIAFET では、埋込ゲート領域 105 に p n 接合のビルトイン電圧以下の電圧（例えば +2.5 V）を印加しオンさせる。この時、チャネル領域 103 に広がっていた空乏層がチャネル領域 103 内の狭い範囲に縮小するので、電流が流れるチャネルの幅が広くなり、MOS ゲート電極 108 に印加する電圧が低くてもオン抵抗は低い。また、埋込ゲート領域 105 にビルトイン電圧以上の電圧を印加すると、p 型の埋込ゲート領域 105 及び埋込ゲートコンタクト領域 106 及びゲートコンタクト領域 107 からチャネル領域 103 にホールが注入される。これによりチャネル領域 103 に伝導度変調が生じ、さらにオン抵抗を低減することができる。一方、オフのときには、埋込ゲート電極 109 の電圧を零にするか又は負の電圧を印加する。これにより、p 型の埋込ゲート領域 105 及び埋込ゲートコンタクト領域 106 と、ドリフト層 102 との接合から、ドレイン電極 111 及び MOS ゲート電極 108 に向かって空乏層が広がり、チャネル領域 103 をピンチオフし電流を遮断する。そして空乏層が電圧を分担する。

【0004】

【発明が解決しようとする課題】図 8 の SIAFET のような、MOS ゲート電極 108 と埋込ゲート電極 109 を有する半導体装置においては、リーク電流の低減を図るために逆バイアス電圧を埋込ゲート電極 109 に印加する。その結果、埋込ゲート電極 109 の近傍の MOS ゲート電極 108 とゲートコンタクト領域 107 との間のゲート絶縁膜 110 の端部の円 A の部分の電界が高くなり、ゲート絶縁膜 110 の信頼性が低下する。また、チャネル領域 103 をエビタキシャル成長法により形成した後、イオン打込みによりゲートコンタクト領域 107 を形成すると、イオン打込み時に発生する欠陥の修復のために高温でアニールをする必要がある。高温でアニールすると、ゲート絶縁膜 110 とチャネル領域 103 との界面が荒れ、チャネル領域 103 を移動する電子の移動し易さを表す移動度が小さくなり、オン抵抗が大きくなる。

【0005】

【課題を解決するための手段】本発明の半導体装置は、外部への電子流の流出層として働く半導体層の上に形成した低不純物濃度の第 1 の導電型のドリフト層、前記ドリフト層の一方の端部領域に形成した第 2 の導電型

(P) の第 1 の埋込ゲート領域、前記ドリフト層の他方の端部領域に、前記第 1 の埋込ゲート領域との間に所定の間隔を保って形成した第 2 の導電型の第 2 の埋込ゲート領域、前記第 1 の埋込ゲート領域、前記第 2 の埋込ゲート領域及び前記第 1 の埋込ゲート領域と第 2 の埋込ゲート領域との間のドリフト層に接するように形成した第 1 の導電型のチャネル領域、前記チャネル領域の一方の

端部に形成した第 1 の導電型の、外部からの電子流の流入領域、前記電子流の流入領域に接するように設けた電極、前記第 2 の埋込ゲート領域に接するように設けた埋込ゲート電極、前記電子流の流入領域、チャネル領域及び第 2 の埋込ゲート領域に形成したゲート絶縁膜、及び前記ゲート絶縁膜を介して前記チャネル領域に対向し、前記第 2 のゲート領域に近い方の端部が前記第 2 のゲート領域から離れるように設けたゲート電極を有する。本発明によれば、ゲート電極を、第 2 の埋込ゲート領域から離れるように形成したので、第 2 の埋込ゲート領域近傍のゲート絶縁膜に加わる電界は低い。従って絶縁膜が劣化することはない。

【0006】本発明の他の観点の半導体装置は、外部への電子流の流出層として働く半導体層の上に形成した低不純物濃度の第 1 の導電型のドリフト層、前記ドリフト層の一方の端部領域に形成した第 2 の導電型の埋込ゲート領域、前記ドリフト層の他方の端部領域に、前記埋込ゲート領域との間に所定の間隔を保って形成した第 2 の導電型の埋込ゲートコンタクト領域、前記埋込ゲート領域、前記埋込ゲートコンタクト領域及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように形成した第 1 の導電型のチャネル領域、前記チャネル領域の一方の端部に形成した第 1 の導電型の、外部からの電子流の流入領域、前記電子流の流入領域に接するように設けた電極、前記チャネル領域の他方の端部において、前記埋込ゲートコンタクト領域に接するように形成した第 2 の導電型のゲートコンタクト領域、前記ゲートコンタクト領域に接するように設けた埋込ゲート電極、前記電子流の流入領域、チャネル領域及びゲートコンタクト領域に形成したゲート絶縁膜、及び前記ゲート絶縁膜を介して前記チャネル領域に対向し、前記ゲートコンタクト領域に近い方の端部がゲートコンタクト領域から離れるように設けたゲート電極を有する。本発明によれば、ゲート電極を、ゲートコンタクト領域から離れるように形成したので、ゲートコンタクト領域近傍のゲート絶縁膜に加わる電界は低い。従って絶縁膜が劣化することはない。

【0007】本発明の他の観点の半導体装置は、ドレイン層として働く第 1 の導電型の半導体層の上に形成した低不純物濃度の第 1 の導電型のドリフト層、前記ドリフト層の一方の端部領域に形成した第 2 の導電型の埋込ゲート領域、前記ドリフト層の他方の端部領域に、前記埋込ゲート領域と所定の間隔を保って形成した第 2 の導電型の埋込ゲートコンタクト領域、前記埋込ゲート領域、前記埋込ゲートコンタクト領域及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように形成した第 1 の導電型のチャネル領域、前記チャネル領域の一方の端部に形成した第 1 の導電型のソース領域、前記ソース領域に接するように設けたソース電極、前記チャネル領域の他方の端部において、前記埋込

10

20

30

40

50

ゲートコンタクト領域に接するように形成した第2の導電型のゲートコンタクト領域、前記ゲートコンタクト領域に接するように設けた埋込ゲート電極、前記ソース領域、チャンネル領域及びゲートコンタクト領域に形成したゲート絶縁膜、及び前記ゲート絶縁膜を介して前記チャンネル領域に対向し、ゲートコンタクト領域に近い方の端部がゲートコンタクト領域から離れるように設けたゲート電極を有する。本発明によれば、ゲート電極を、ゲートコンタクト領域から離れるように形成したので、ゲートコンタクト領域近傍のゲート絶縁膜に加わる電界は低い。従って絶縁膜が劣化することはない。

【0008】本発明の他の観点の半導体装置は、ドレイン層として働く第1の導電型の半導体層の上に形成した低不純物濃度の第1の導電型のドリフト層、前記ドリフト層の一方の端部領域に形成した第2の導電型の埋込ゲート領域、前記ドリフト層の他方の端部領域に、前記埋込ゲート領域と所定の間隔を保って形成した第2の導電型の埋込ゲートコンタクト領域、前記埋込ゲート領域、前記埋込ゲートコンタクト領域及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように設けた第1の導電型のチャンネル領域、前記チャンネル領域の一方の端部に形成した第1の導電型のソース領域、前記ソース領域に接するように設けたソース電極、前記ソース領域、チャンネル領域及び埋込ゲートコンタクト領域の上に形成されたゲート絶縁膜、前記埋込ゲートコンタクト領域に接するように設けた埋込ゲート電極、及び前記ゲート絶縁膜を介して前記チャンネル領域に対向し、両端部がそれぞれソース領域とゲートコンタクト領域から離れるように設けたゲート電極を有する。本発明によれば、埋込ゲート電極を埋込ゲートコンタクト領域上に設け、かつ埋込ゲートコンタクト領域上のゲート絶縁膜を厚くしたので、ゲート絶縁膜に加わる電界が低くなりゲート絶縁膜が劣化することはない。

【0009】本発明の他の観点の半導体装置は、コレクタ層として働く第2の導電型の半導体層の上に形成した低不純物濃度の第1の導電型のドリフト層、前記ドリフト層の一方の端部領域に形成した第2の導電型の埋込ゲート領域、前記ドリフト層の他方の端部領域に、前記埋込ゲート領域と所定の間隔を保って形成した第2の導電型の埋込ゲート領域、前記埋込ゲート領域、前記埋込ゲートコンタクト領域の一部分、及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように形成した第1の導電型のチャンネル領域、前記チャンネル領域の一方の端部に形成した第1の導電型のエミッタ領域、前記エミッタ領域に接するように設けたエミッタ電極、前記エミッタ領域、チャンネル領域及び埋込ゲートコンタクト領域の上に形成されたゲート絶縁膜、前記埋込ゲートコンタクト領域に接するように設けた埋込ゲート電極、及び前記ゲート絶縁膜を介して前記チャンネル領域に対向するように設けたゲート電極を有する。

【0010】

【発明の実施の形態】以下に、本発明の好適な実施例を図1から図7を参照して説明する。図1から図7は、本発明の各実施例の半導体装置の1個のセグメントを示す断面図であり、大電流を取扱う場合には、このセグメントを図の左右方向に複数個連結して大容量の半導体装置を構成することができる。各図において、図示された各要素の寸法は実際の寸法とは対応していない。

【0011】《第1実施例》図1は、本発明の第1実施例の設計耐電圧5kVのSiC（炭化珪素）電界効果トランジスタのセグメントの断面図である。本実施例ではセグメントは紙面に垂直な方向に長い帯状であるが、その形状は例えば円形や四角形等であつてもかまわない。図1において、下図にドレイン電極21を有する厚さ約300 μ mの高不純物濃度n型SiCのドレイン層1の上に厚さ約50 μ mの低不純物濃度n型SiCのドリフト層2が形成されている。電子流の流出層として働くドレイン層1からドレイン電極21を経て外部へ電子が流出する。ドリフト層2の図において上方の左側部分及び右側部分には、所定の間隔を保ってp型SiCの第1の埋込ゲート領域5及びp型SiCの埋込ゲートコンタクト領域6がそれぞれ形成されている。埋込ゲート領域5、埋込ゲートコンタクト領域6及び両者の間のドリフト層2の上に、n型SiCのチャンネル領域3が形成されている。埋込ゲート領域5の更に上方の左端部にn型SiCのソース領域4が形成されている。ソース領域4にはソース電極22が設けられている。電子流の流入領域のソース領域4にはソース電極22を経て外部から電子が流入する。

【0012】埋込ゲートコンタクト領域6に接してp型SiCのゲートコンタクト領域7が形成され、ゲートコンタクト領域7上に埋込ゲート電極26が設けられている。埋込ゲートコンタクト領域6とゲートコンタクト領域7を一体に形成して、第2の埋込ゲート領域としてもよいが、本実施例では加工処理の便宜上、第2の埋込ゲート領域を埋込ゲートコンタクト領域6とゲートコンタクト領域7に分けている。ソース領域4、チャンネル領域3及びゲートコンタクト領域7の上に、絶縁物の薄い膜でゲート絶縁膜11を形成する。ゲート絶縁膜11を介してチャンネル領域3に対向するようにMOSゲート電極25が設けられている。ゲート絶縁膜11は、MOSゲート電極25の電位がチャンネル領域3に電界効果を与えるように十分薄く形成する必要があるが、チャンネル領域3に対向していない領域では薄くする必要はない。そこで本実施例ではゲート絶縁膜11の両端部領域11A、11Bの厚さを他の領域の厚さの2倍以上に厚くしている。ゲート絶縁膜11の厚さはn型チャンネル領域3の両端部領域を除いて約0.1 μ mである。ゲートコンタクト領域7及びソース領域4の上のゲート絶縁膜11の厚さはチャンネル領域3の上の大部分のゲート絶縁膜11の

厚さの2倍以上であるのが望ましく、本実施例では約 $0.5\mu\text{m}$ であるが、 $1\mu\text{m}$ 以上であってもよい。ソース電極 22 に接続されているソース領域 4 の好ましい厚さは $0.2\mu\text{m}$ であるが、 $0.1\mu\text{m}$ から $0.4\mu\text{m}$ の範囲にあればよい。埋込ゲート領域 5 の好ましい厚さは $0.5\mu\text{m}$ であるが、 $0.2\mu\text{m}$ から $0.8\mu\text{m}$ の範囲にあればよい。チャネル領域 3 の好ましい厚さは $0.4\mu\text{m}$ であるが $0.1\mu\text{m}$ から $0.9\mu\text{m}$ の範囲にあればよい。埋込ゲート領域 5 の左右方向の幅はソース領域 4 より $3\mu\text{m}$ 程度長いのが望ましいが、 $1\mu\text{m}$ から $5\mu\text{m}$ 長くても良い。埋込ゲート領域 5 と埋込ゲートコンタクト領域 6 との間の間隔は $3\mu\text{m}$ が好ましいが、 $2\mu\text{m}$ ないし $5\mu\text{m}$ の範囲にあればよい。

【0013】第1実施例の電界効果トランジスタの製作方法の一例を以下に説明する。ドレイン層 1 として機能する 10^{21} から 10^{20}atm/cm^3 の高不純物濃度の窒素を含む n 型 SiC 基板を用意し、この一方の表面に 10^{24} から 10^{25}atm/cm^3 の SiC 低不純物濃度の窒素を含む n 型ドリフト層 2 を気相成長法等により形成する。次に、ドリフト層 2 の上のほぼ左半分の領域に埋込ゲート領域 5 を形成し、右端部から約 3 分の 1 の領域に埋込ゲートコンタクト領域 6 を形成する。埋込ゲート領域 5 と埋込ゲートコンタクト領域 6 の不純物濃度は、 10^{21} から 10^{20}atm/cm^3 程度であり、ドリフト層 2 へのアルミニウム等のイオン打ち込み等により形成する。埋込ゲート領域 5、埋込ゲートコンタクト領域 6 及びドリフト層 2 の上に 10^{24} から 10^{25}atm/cm^3 の SiC 低不純物濃度の n 型のチャネル領域 3 を気相成長法等により形成する。チャネル領域 3 の端部において、埋込ゲートコンタクト領域 6 に接するように p 型のゲートコンタクト領域 7 をアルミニウムのイオン打ち込み法等により形成する。これにより、ゲートコンタクト領域 7 は埋込ゲートコンタクト領域 6 に電気的に接続される。チャネル領域 3 の左端部に、 10^{21} から 10^{20}atm/cm^3 の高不純物濃度の n 型のソース領域 4 を窒素等のイオン打ち込み法により形成する。イオン打ち込み後、イオン打ち込み処理により結晶に発生した欠陥を修復し、元の結晶構造に回復させるため、 1400°C から 2000°C の温度で 30 分程度アニールする。

【0014】チャネル領域 3、ソース領域 4 及び p 型ゲートコンタクト領域 7 の上に SiO_2 等の絶縁膜でゲート絶縁膜 11 を形成した後、ゲートコンタクト領域 7 の上の端部の SiO_2 等の絶縁膜を取り除き、アルミニウム等の金属で、ゲートコンタクト領域 7 に電気的に接続された埋込ゲート電極 26 を形成する。また、ソース領域 4 の端部の SiO_2 等絶縁膜を取り除き、アルミニウム、ニッケル等の金属膜で、n 型ソース領域 4 に電気的に接続されたソース電極 22 を形成する。ゲート絶縁膜 11 の両端部領域 11A、11B を気相成長法などによ

り厚くする。次にゲート絶縁膜 11 の上に MOS ゲート電極 25 を形成する。さらに、図示を省略したが、セグメントの奥行き方向（図 1 の紙面に垂直な方向）の所定の位置で埋込ゲート領域 5 の一部分を露出させ、埋込ゲート領域 5 の前記露出部を埋込ゲート電極 26 に接続する。埋込ゲート領域 5 を露出させる代わりに、埋込ゲート領域 5 と埋込ゲートコンタクト領域 6 とを接続する p 型領域（図示省略）を形成し、この p 型領域を埋込ゲート電極 26 に電気的に接続してもよい。最後に、アルミニウム、ニッケル等でドレイン層 1 に接続されたドレイン電極 21 を形成して完成する。なお、埋込ゲート領域 5 及び埋込ゲートコンタクト領域 6 は、ドリフト層 2 の内部にイオン打ち込みをして形成してもよい。この場合チャネル領域 3 を形成するための工程が省ける。

【0015】本実施例の SiC 電界効果トランジスタをオフにするときは、ドレイン電極 21 の電位がソース電極 22 の電位より高い状態で、MOS ゲート電極 25 及び埋込ゲート電極 26 と、ソース電極 22 との間の電位を 0V にする。その結果、埋込ゲート領域 5 及び埋込ゲートコンタクト領域 6 と、ドリフト層 2 及びチャネル領域 3 との接合部からビルトイン電圧に対応した空乏層が広がり、埋込ゲート領域 5 と埋込ゲートコンタクト領域 6 との間のドリフト層 2 の領域 2A、チャネル領域 3 及びドリフト層 2 内に空乏層が形成される。これによりチャネル領域 3 をピンチオフ状態にすることができる。その結果、ソース電極 22 とドレイン電極 21 間の電流が遮断されノーマリオフの状態になる。ドレイン電極 21 の電位がさらに高くなると、ドレイン電極 21 から、ドレイン層 1、ドリフト層 2、埋込ゲート領域 5 と埋込ゲートコンタクト領域 6 の間の領域 2A、チャネル領域 3 及びソース領域 4 を通ってソース電極 22 にリーク電流が流れる。この状態で、埋込ゲート電極 26 をソース電極 22 より低い電位にすると、チャネル領域 3 及び埋込ゲート領域 5 と埋込ゲートコンタクト領域 6 との間のドリフト層 2 の領域 2A 内の広い範囲に空乏層が広がり、その結果としてリーク電流は減少する。

【0016】例えば図 8 の従来の電界効果半導体装置では、ゲートコンタクト領域 107 に接続された埋込ゲート電極 109 にソース電極 112 の電位に対して 20V の逆バイアス電位を印加した場合、ゲート絶縁膜 110 の両端部の厚さが薄いため、絶縁膜 110 の端部の電界が高くなる。このような状態で、オンオフ動作を長時間繰り返すと、ゲート絶縁膜 110 の絶縁性が悪化し、MOS ゲート電極 108 から p 型ゲートコンタクト領域 107 へ流れるリーク電流が増加する。その結果、電界効果トランジスタのオン抵抗が増大し、オン時の損失が増えとともに長期の使用における信頼性が低下する。またオン時には MOS ゲート電極 108 に 10V から 20V 程度の電圧を印加するので、ソース領域 104 の上のゲート絶縁膜 110 の電界が高くなり、絶縁膜 110 の

信頼性が低下する。

【0017】本実施例の電界効果トランジスタでは、ゲート絶縁膜 11 を、ゲートコンタクト領域 7 の近傍及び n 型ソース領域 4 の近傍で、チャネル領域 3 の上のゲート絶縁膜 11 の厚さより厚くしている。これにより、MOS ゲート電極 25 の右端部 25A とゲートコンタクト領域 7 とが離れ、オフ時に埋込ゲート電極 26 に逆バイアス電圧を印加したり、オン時に MOS ゲート電極 25 に正の電圧を印加した場合でもゲート絶縁膜 11 の端部領域の電界は高くない。すなわち、オン・オフ時に高い電界が加えられるゲート絶縁膜 11 の両端部領域の膜厚を厚くしたことにより、ゲート絶縁膜 11 の耐絶縁性が向上するとともに絶縁膜の長期間の使用における信頼性が向上する。本実施例の、ゲート絶縁膜 11 の端部領域の膜厚をチャネル領域 3 の上のゲート絶縁膜 11 の膜厚の 2 倍程度に厚くした SiC 電界効果トランジスタの寿命試験をしたところ、従来のものに比べて 10 倍以上の期間リーク電流の増加なしで動作させることができた。

【0018】《第 2 実施例》図 2 は本発明の第 2 実施例の設計耐電圧 5 kV の SiC 電界効果トランジスタのセグメントの断面図である。本実施例では、MOS ゲート電極 28 を、n 型ソース領域 4 の端部近傍から p 型埋込ゲートコンタクト領域 6 の端部 6A 近傍までの間を覆うようにしたことを特徴とする。これにより、MOS ゲート電極 28 の右端部 28A はゲートコンタクト領域 7 から離れた位置にある。ゲート絶縁膜 31 の厚さは、図 1 のもののよう端部で厚くせず、全面で同じ厚さにしてある。その他の構成は図 1 に示すものと同じであり、作製方法も実質的に第 1 実施例の場合と同様である。本実施例では、前記のように右端部 28A をゲートコンタクト領域 7 から離すことにより、オフ時に埋込ゲート電極 26 を逆バイアス電位にしたとき、前記右端部 28A 近傍のゲート絶縁膜 31 に高い電界が印加されることはなく、ゲート絶縁膜 31 の信頼性が向上する。本実施例では、MOS ゲート電極 28 の右端部 28A がゲートコンタクト領域 7 から離れるように MOS ゲート電極 28 を小さくしたので、チャネル領域 3 に対向する MOS ゲート電極 28 の面積が小さくなり、電界効果も減少するが、ゲート絶縁膜 31 の厚さを両端部で厚くしないので、ゲート絶縁膜 31 の厚さを増す気相成長法等の工程が省かれ、製作工程が簡単になる。第 2 実施例の SiC 電界効果トランジスタについて第 1 実施例と同様の寿命試験をしたところ、ゲート絶縁膜 31 は従来のものに比べて 10 倍以上の期間にわたり劣化せずリーク電流の増加などは生じなかった。

【0019】《第 3 実施例》図 3 は本発明の第 3 実施例の設計耐電圧 5 kV の SiC 電界効果トランジスタのセグメントの断面図である。本実施例の電界効果トランジスタを図 1 に示す第 1 実施例の電界効果トランジスタと

比べると、本実施例のものでは図 1 に示す p 型ゲートコンタクト領域 7 を設けていない。本実施例では、埋込ゲートコンタクト領域 6 の近傍の n 型チャネル領域 3 を斜面 12 を形成するように除去する。斜面 12 を含むチャネル領域 3 と埋込ゲートコンタクト領域 6 の上に絶縁膜 41 を形成する。絶縁膜 41 の埋込ゲートコンタクト領域 6 に接する部分 41A は他の部分より厚くなされている。絶縁膜 41 の上に MOS ゲート電極 35 を形成する。その他の構成は図 1 に示す第 1 実施例のものと同じである。

【0020】本実施例の電界効果トランジスタでは、p 型埋込ゲートコンタクト領域 6 上のゲート絶縁膜 41A を厚くしているので、オフ時に埋込ゲート電極 26 に逆バイアス電圧を印加してもゲート絶縁膜 41A の近傍の電界はあまり高くない。従ってゲート絶縁膜 41 の信頼性が向上する。第 1 実施例では、p 型ゲートコンタクト領域 7 をイオン打ち込み法により形成するために欠陥が生じる。その欠陥を修復し、元の結晶状態に回復させるために 1300℃ から 2000℃ の高温下でアニールする必要があった。このアニールにより電流通路となる n 型チャネル領域 3 とゲート絶縁膜 41 の境界面が荒れる。その結果オン時にチャネル領域 3 を電子が進むときこの境界面の荒れにより電子が散乱し抵抗が高くなる。しかし、本実施例では、p 型ゲートコンタクト領域 7 を形成しないために、n 型チャネル領域 3 の形成後に高温アニールを必要としない。従って n 型チャネル領域 3 とゲート絶縁膜 41 の境界面の荒れを引き起こすことなく、低いオン抵抗の電界効果トランジスタを実現できる。第 1 実施例のものではオン抵抗は $150 \text{ m}\Omega \text{ cm}^2$ であったが、本実施例のものでは、 $110 \text{ m}\Omega \text{ cm}^2$ となり大幅に低減した。耐電圧は 5.2 kV であった。図 3 では、MOS ゲート電極 35 はゲート絶縁膜 41 を介して斜面 12 の側面及び埋込ゲートコンタクト領域 6 に対向する絶縁膜 41A の面にまで設けられているが、斜面 12 と絶縁膜 41A の面には MOS ゲート電極 35 を設けなくても同様の効果が得られる。

【0021】《第 4 実施例》図 4 は本発明の第 4 実施例の設計耐電圧 5 kV の SiC (炭化珪素) 電界効果トランジスタのセグメントの断面図である。第 4 実施例では、前記図 3 の第 3 実施例のものと同様に埋込ゲートコンタクト領域 6 の近傍のチャネル領域 3 の端部に斜面 12 を形成する。ソース電極 22 を除くソース領域 4、チャネル領域 3 の上面及び斜面 12 にゲート絶縁膜 41 を形成する。ゲート絶縁膜 41 の上に MOS ゲート電極 35 を、その右側の端部が埋込ゲートコンタクト領域 6 と埋込ゲート電極 26 に接するように形成する。その他の構成は前記第 3 実施例のものと同じである。本実施例の構成では、埋込ゲート電極 26 と MOS ゲート電極 35 が電気的に接続されている。従ってオフ時に埋込ゲート電極 26 に逆バイアス電圧を与えて耐電圧を高くして

も、MOSゲート電極35と埋込ゲート電極26が同電位であるために、埋込ゲートコンタクト領域6の近傍のゲート絶縁膜41に加わる電界は低い。したがって、ゲート絶縁膜41は劣化することなく高い信頼性を維持できる。また、MOSゲート電極35と埋込ゲート電極26が接触しているため、第3実施例のものに比べてセグメントの幅を狭くすることができるとともにオン抵抗を低くすることができる。

【0022】《第5実施例》図5は本発明の第5実施例の設計耐電圧5kVのSiC（炭化珪素）電界効果トランジスタのセグメントの断面図である。本実施例では、n型チャンネル領域3を形成した後、その右端部をエッチングにより斜面12及び面36Aを形成するように除去する。次に斜面12及び面36Aにアルミニウム（又はホウ素）のイオン打込みにより、p型の埋込ゲートコンタクト領域36を形成する。ソース領域4のソース電極22を除く部分、チャンネル領域3及び埋込ゲートコンタクト領域36の端面36Bにゲート絶縁膜51を形成する。ゲート絶縁膜51の上に、その両端部を除いてMOSゲート電極25を形成する。その他の構成は第4実施例のものと同様である。本実施例では、MOSゲート電極25を埋込ゲートコンタクト領域36の近傍に形成していないので、オフ時には空乏層が、埋込ゲート領域5及び、斜面12と面36Aに形成された埋込ゲートコンタクト領域36と、チャンネル領域3及びドリフト層との接合からチャンネル領域3及びドリフト層2内に広がる。これによりチャンネル領域3及びドリフト層2がピンチオフ状態になり電流を遮断する。空乏層は斜面12の部分のp型埋込ゲートコンタクト領域36とチャンネル領域3との接合からも広がるため、前記の各実施のものよりも高耐圧化が図れる。第3実施例のものでは耐電圧は5.2kVであったが、本実施例のものでは耐電圧は6.1kVに向上した。

【0023】《第6実施例》図6は本発明の第6実施例の設計耐電圧5kVのSiC電界効果トランジスタのセグメントの断面図である。本実施例では、p型の埋込ゲートコンタクト領域6とp型の埋込ゲート領域5の間に少なくとも1つのp型領域10を形成している。p型領域10は複数設けてもよい。p型領域10は図示を省略した接続体により、埋込ゲート電極26に電氣的に接続されている。図4に示す第4実施例のものと同様に、n型チャンネル領域3の右端部に斜面12を形成しているが、斜面12にはゲート絶縁膜11及びMOSゲート電極25を形成していない。その他の構成は前記第4実施例のものと同じである。

【0024】本実施例の電界効果トランジスタのオフ時には、埋込ゲート領域5、埋込ゲートコンタクト領域6及びp型領域10と、ドリフト層2との各接合部から、埋込ゲート領域5、埋込ゲートコンタクト領域6及びp型領域10のそれぞれの間に空乏層が広がる。この空乏

層により電流が遮断されるため、高耐圧化が図れる。オン時には、埋込ゲート領域5とp型領域10との間、p型領域10とp型埋込ゲートコンタクト領域6との間が電流路となるので、電流が分散して流れ、オン抵抗を低減できる。本実施例の電界効果トランジスタの具体例では、耐電圧6.5kV、オン抵抗は70mΩcm²であった。従来例の同程度の大きさの電界効果トランジスタと比べ、耐電圧が約30%上昇し、オン抵抗は約20%減少した。図6の構成ではMOSゲート電極25がゲート絶縁膜11を介してn型チャンネル領域3上面のみに形成されているが、図3及び図4と同様に、斜面12及び埋込ゲートコンタクト領域6の上面にもゲート絶縁膜11を介してMOSゲート電極25を設けても同様の効果を得ることができる。

【0025】《第7実施例》図7は本発明の第7実施例の耐電圧5kVのSiC（炭化珪素）IGBTの断面図である。本実施例では、第3実施例の図3におけるn型のドレイン層1の代わりにコレクタ電極23を有し、電子の外部への流出層として働くp型のコレクタ層8を設けている。また図3のソース領域4の代わりに、エミッタ電極24を有し、外部からの電子の流入層となるエミッタ領域9を有する。その他の構成は図3のものと同じである。本実施例によれば、オン時にコレクタ層8からドリフト層2に少数キャリアであるホールが注入される。これにより、ドリフト層2及びチャンネル領域3内では電子による電気伝導に加えてホールも電気伝導に寄与するため伝導度変調を生じ、大幅なオン抵抗の低減が図れる。本実施例のものでは、耐電圧は第3実施例のもの5.3kVと変わらないが、pn接合のビルトイン電圧以上で、オン抵抗は7mΩcm²と大幅に低くなった。また、埋込ゲート電極26にpn接合のビルトイン電圧以上の電圧例えば2.8Vを印加すると、埋込ゲートコンタクト領域6及び埋込ゲート領域5からもチャンネル領域3にホールが注入される。その結果さらにオン抵抗が低下し、本実施例の具体例ではオン抵抗は5mΩcm²であった。

【0026】本発明は上記の各実施例に限定されるものではなく、さらに多くの適用範囲あるいは派生構造をカバーするものである。前記各実施例では、SiCを用いた半導体装置を例に挙げて述べたが、本発明は、ダイヤモンド、ガリウムナイトライドなどの他のワイドギャップ半導体材料を用いた半導体装置に有効に適用できる。前記第1ないし第7実施例では、ドリフト層2がn型の半導体装置の場合について述べたが、ドリフト層2がp型の素子の場合には、他の要素のn型領域をp型領域に、p型領域をn型領域に置き換えることにより、本発明の構成を適用できる。

【0027】

【発明の効果】以上の各実施例で詳細に説明したよう

に、本発明によれば、埋込ゲート領域を有するMOS構

造の電界効果半導体装置において、埋込ゲートコンタクト領域近傍のゲート絶縁膜を厚くすることにより、その領域近傍の絶縁膜に加わる電界を緩和することができ、絶縁膜の劣化を防ぎ半導体装置の信頼性の向上を図ることができる。また、ゲートコンタクト領域を形成せず、埋込ゲート用電極を直接埋込ゲートコンタクト領域上に形成したものでは、埋込ゲートコンタクト領域近傍の絶縁膜に加わる電界は低く、絶縁膜の劣化が避けられる。その結果半導体装置の大幅な信頼性の向上を図ることができる。この場合にはゲートコンタクト領域を形成しないために、アニール処理を必要とせず、絶縁膜と半導体との界面を荒らすおそれがない。

【図面の簡単な説明】

【図１】本発明の第１実施例の電界効果トランジスタの断面図

【図2】本発明の第2実施例の電界効果トランジスタの断面図

【図3】本発明の第3実施例の電界効果トランジスタの断面図

【図 4】 本発明の第 4 実施例の電界効果トランジスタの 20
断面図

【図5】本発明の第5実施例の電界効果トランジスタの断面図

【図6】本発明の第6実施例の電界効果トランジスタの断面図

【図 7】 本発明の第 7 実施例の IGBT の断面図

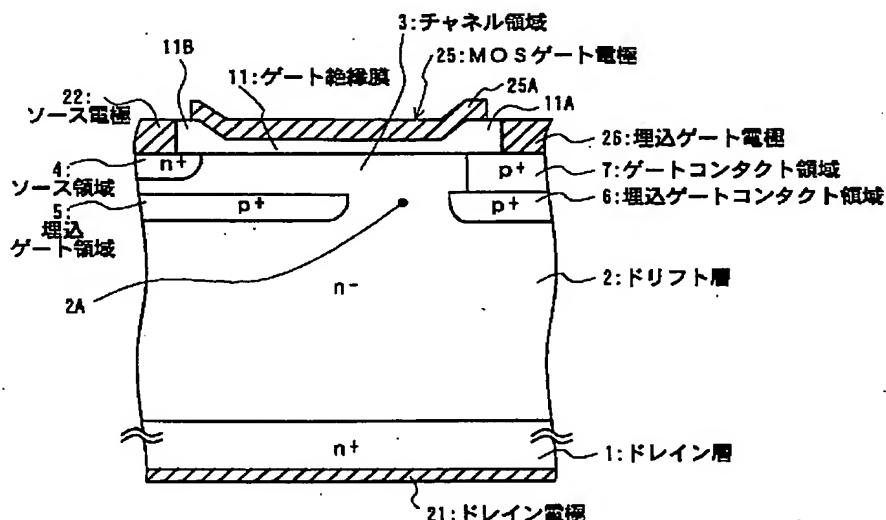
【図 8】従来の電界効果半導体装置の断面図

【符号の説明】

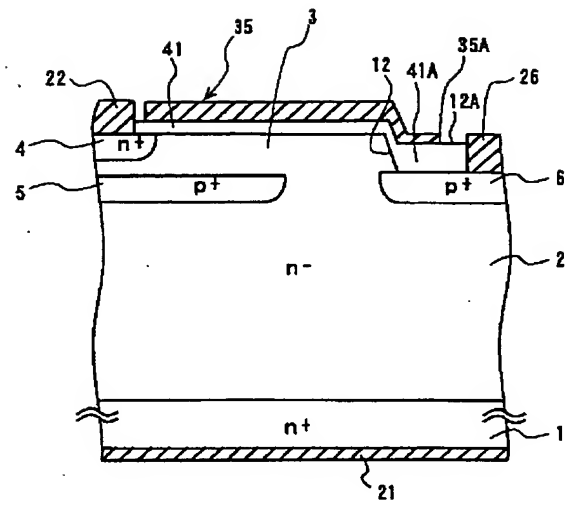
- | | |
|----|-------|
| 1 | ドレイン層 |
| 2 | ドリフト層 |
| 2A | 領域 |

- | | |
|-------------|--------------|
| 3 | チャンネル領域 |
| 4 | ソース領域 |
| 5 | 埋込ゲート領域 |
| 6、36 | 埋込ゲートコンタクト領域 |
| 7 | ゲートコンタクト領域 |
| 8 | コレクタ層 |
| 9 | エミッタ領域 |
| 10 | p型領域 |
| 11、31、41、51 | ゲート絶縁膜 |
| 12 | 斜面 |
| 21 | ドレイン電極 |
| 22 | ソース電極 |
| 23 | コレクタ電極 |
| 24 | エミッタ電極 |
| 25、28、35 | MOSゲート電極 |
| 25A | 端部 |
| 26 | 埋込ゲート電極 |
| 36A | 面 |
| 36B | 端面 |
| 101 | ドレイン層 |
| 102 | ドリフト層 |
| 103 | チャンネル領域 |
| 104 | ソース領域 |
| 105 | 埋込ゲート領域 |
| 106 | 埋込ゲートコンタクト領域 |
| 107 | ゲートコンタクト領域 |
| 108 | MOSゲート電極 |
| 109 | 埋込ゲート電極 |
| 110 | ゲート絶縁膜 |
| 111 | ドレイン電極 |
| 112 | ソース電極 |

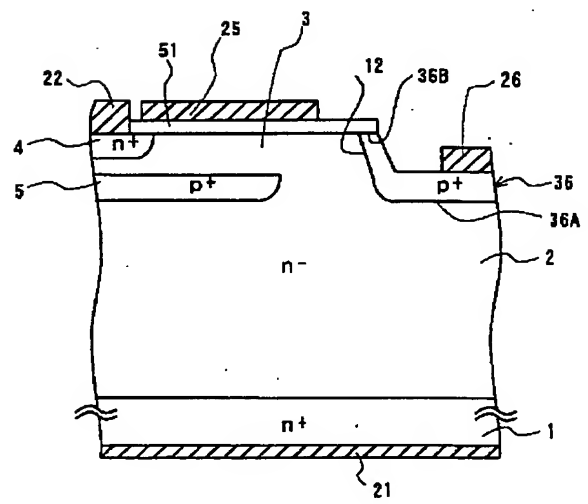
【图 1】



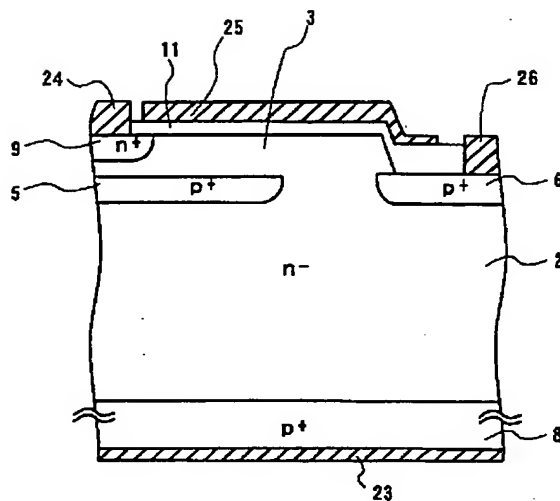
【図 3】



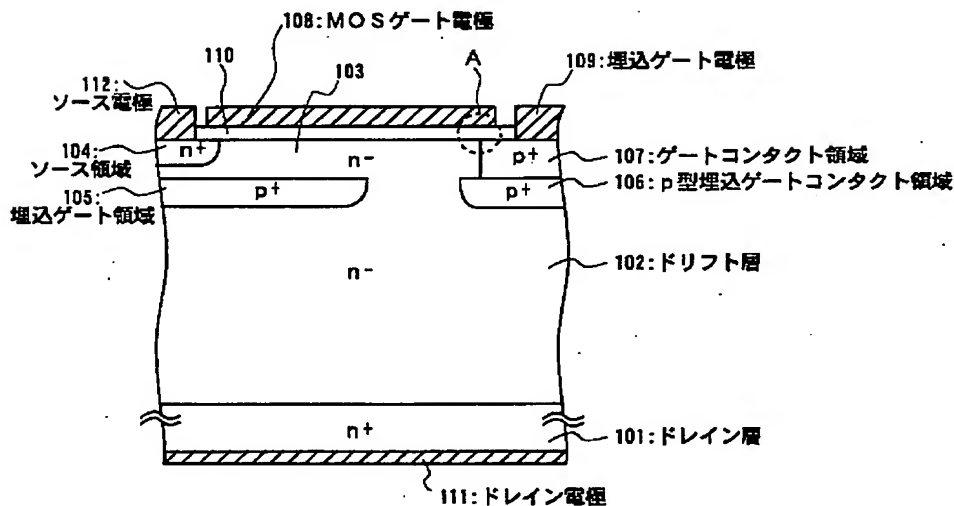
【図 5】



【図 7】



【图 8】



域と所定の間隔を保って形成した第2の導電型の埋込ゲートコンタクト領域、
前記埋込ゲート領域、前記埋込ゲートコンタクト領域の一部分、及び前記埋込ゲート領域と埋込ゲートコンタクト領域との間のドリフト層に接するように形成した第1の導電型のチャネル領域、
前記チャネル領域の一方の端部に形成した第1の導電型のエミッタ領域、
前記エミッタ領域に接するように設けたエミッタ電極、
前記エミッタ領域、チャネル領域及び埋込ゲートコンタクト領域の上に形成されたゲート絶縁膜、
前記埋込ゲートコンタクト領域に接するように設けた埋

込ゲート電極、及び前記ゲート絶縁膜を介して前記チャネル領域に対向するように設けたゲート電極を有する半

導体装置。